

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-144949

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl.⁵

H 0 1 L 21/90
21/3205

識別記号

庁内整理番号

B 7353-4M

7353-4M

F I

H 0 1 L 21/ 88

技術表示箇所

R

審査請求 未請求 請求項の数1(全 7 頁)

(21)出願番号 特願平3-301875

(22)出願日 平成3年(1991)11月18日

(71)出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 上田 博一

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

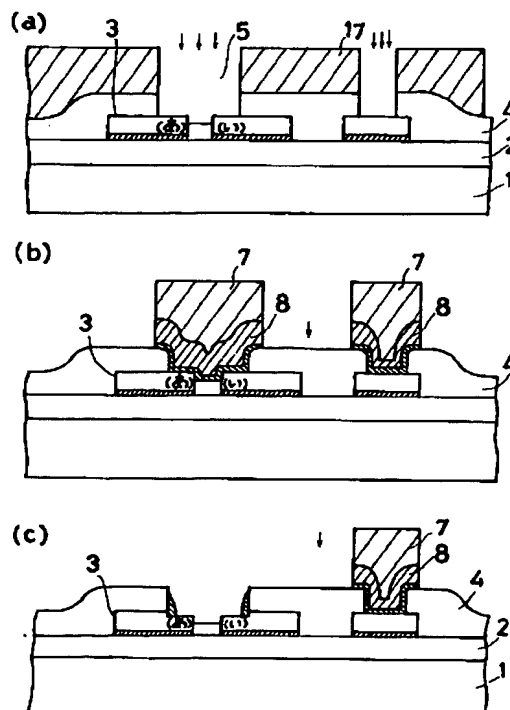
(74)代理人 弁理士 野河 信太郎

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】 (修正有)

【目的】 簡単に精度よく回路変更を行うことのできる2層配線構造の半導体装置の製造方法を提供する。

【構成】 表面に第一絶縁膜2が形成された半導体基板1上に、複数の第一配線層3を形成し、この上に所定の隣り合う第一配線層3間にわたる領域上、及び所定の第一配線層上にそれぞれコネクホール5とスルーホールを有する第二絶縁膜4を形成しこの上に第二配線層8のパターンを形成して所定の第一配線層3間の接続並びに所定の第一配線層3と第二配線層8の接続を行う。



【特許請求の範囲】

【請求項1】 (a) 2層配線構造の半導体装置を形成するに際して、半導体基板上に、第一絶縁層、第一配線層、第二絶縁層及び第一フォトレジスト層を順次形成し、(b) 第一フォトレジスト層を第一配線層と第二配線層の導通をとりうるスルーホールと、隣り合う第一配線層間を接続しうるコネクホールとを同時に形成出来るようにパターンニングした後、第二絶縁層をエッチングして第一配線層に至るスルーホールとコネクホールを形成し、第一フォトレジスト層を除去した後、(c) スルーホールとコネクホールを含む第二絶縁膜上に、第二配線層及び第二フォトレジスト層を順次堆積し、

(d) 第二フォトレジスト層のパターンを第二配線層を残す領域のスルーホール上方と第一配線層間を接続するために選択されたコネクホール上方に形成し、(e) しかる後に、第二配線層をエッチングして、第一配線層間を接続するために選択されたコネクホール上方を含む第二配線層のパターンを形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、半導体製造装置の製造方法に関して、特に、短納期ゲートアレイなどASICデバイスの製造方法に関するものである。

【0002】

【従来の技術】 一般に、半導体装置を高集積化するために、1層の配線だけでは限界が有り、2層の配線が使われて来ている。このような半導体装置は、第1配線パターンを形成後、その上に絶縁膜を堆積し、その膜にビアホールを開口し、その上に、第2配線パターンが形成されていた。すなわち、図9～10において、まず、Si基板21上に絶縁膜22、A1・Si膜23を順次積層し〔図9(a)参照〕、続いてフォトレジスト層を積層した後これをパターン化して第1配線形成用の第1番目のマスク27を形成し〔図9(b)参照〕、さらにA1・Si膜23をエッチングして第1配線層23aを形成し〔図9(c)参照〕、マスク27を除去した後、全面に絶縁膜24を積層してこれを層間絶縁膜とする〔図9(d)参照〕。

【0003】 次に、フォトレジスト層を積層した後これをパターン化してビアホール形成用の第2番目のマスク27aを形成し〔図9(e)参照〕、さらに層間絶縁膜24をエッチングしてビアホール25を形成し〔図10(f)参照〕、続いて全面にA1・Si膜26を積層する〔図10(g)参照〕。続いて、フォトレジスト層を積層した後これをパターン化して第2配線形成用の第3番目のマスク27bを形成し〔図10(h)参照〕、さらにA1・Si膜26をエッチングして第2配線層26aを形成する〔図10(i)参照〕。

【0004】 しかし、上記した半導体装置の従来の製造

方法は下記の問題を有する。即ち、あらかじめ準備された標準的な機能回路をもったデバイスを個々のユーザーの要望に合わせて頻繁に回路変更をしようとした時、1層目配線の変更から始めると、(i) 第1番目のマスク27〔図9(b)参照〕の変更がまず必要となる。それ以降、ビアホールの変更では(ii) 第2番目のマスク27a〔図9(e)参照〕の変更が必要となり、さらに2層目配線の変更のために、(iii) 第3番目のマスク27b〔図10(h)参照〕の変更を必要とし、上記(i)(ii)(iii)のことから合計3枚のマスク変更が必要になる。そのため、デバイスコストが高くなり、また、製造に時間がかかり、その結果、納期が遅くなるという欠点があった。

【0005】 以上に示した課題の解決を試みた例としては図11に示す様な方法がある。ただし、図11において30はSi基板、31は第1絶縁膜、34は第一配線層、35は第2絶縁膜、36、42はフォトレジスト膜、40は第二配線層、41はレジスト、44はメタルである。(1) 2層、あるいは3層配線構造の半導体装置を形成するに際して、半導体基板上にあらかじめ第一配線層、第二の絶縁層、スルーホールパターンニング用のフォトレジスト層を順次形成し、(2) スルーホールパターンニング用のフォトレジスト層を(図11)の様に、つまり通常の第一配線層34と第二配線層40の導通をとるためのスルーホールパターンと、それ以外に第一配線層を切断するためのビアホールを同時に形成出来るように、パターンニングした後、上記第二絶縁層をエッチングして、第一配線層に至るスルーホールと、第一配線層を切断するためのビアホールを形成し、上記スルーホールパターンニング用のフォトレジストマスクを除去した後、(3) そのスルーホールと、第一配線層を切断するためのビアホールを含む上記第二絶縁膜上に、全面に第二配線層及び第二配線パターン形成用のフォトレジスト層を順次堆積し、(4) 第二配線パターン形成用のフォトレジスト層をパターン化して、第二配線形成領域に含まれるスルーホールと、第一配線層間を切断しないでおくために選択された第一配線層を切断するためのビアホールの上に形成し、(5) しかる後に、第二配線層をエッチングして、第二配線層、及び第一配線層を切断するために選択されたビアホール下にある第一配線層を同時にエッチング(第二配線層のオーバーエッチにより、第一配線層も同時にエッチングして切断)する方法が試みられた。

【0006】 上記の方法の問題点：(図11)に、図説を交えてその問題点を説明する。通常の第一配線層34、第二配線層40層共、A1-Si/TiWの2層構造で、構成されている。これは、下地Siへのアルミの突き抜けやA1-Si配線のストレスマイグレーションを防止するためである。第二配線層のオーバーエッチにより、第一配線層も同時にエッチングして切断を試みる場

合、(図11)(b)α部のような、たいへん複雑な形状をエッチングしなければならない。

【0007】これをエッチングする場合、以下の問題点が発生する。

①第二配線層(A1-Si/TiW)のオーバーハング下部にレジスト41が残り、この下のメタル44がエッチングされない。

②A1-Si/TiW/A1-Si/TiWの4層膜のエッチングとなり、従来技術によるエッチングでは、A1-SiとTiWを別々のエッチング条件でエッチングして、加工形状を安定化させているので、A1-Si/TiW層とある一部のA1-Si/TiW/A1-Si/TiW層を同時にエッチングする場合、非常に複雑な制御が必要となる。また、この部分の正確なEPD(エッチング終点検出)は、ほとんど不可能となる。

③高段差をエッチングするため、第二絶縁膜が膜べりする。

④第二配線上の垂直になったTiW膜(図11)(b)がマスクとなりその下のA1-Si/TiW部がエッチ残りとなる。

⑤第二配線にとってみれば、かなりのオーバーエッチとなるため、加工形状が劣化する。

【0008】この発明は、2層目配線形成用の1枚のマスク(第2配線層のパターン)変更だけで、低コストで、短時間で回路変更をおこなうことができる半導体装置の製造方法を提供することを目的としている。

【0009】

【課題を解決するための手段】この発明によれば、

(a)2層配線構造の半導体装置を形成するに際して、半導体基板上に、第一絶縁層、第一配線層、第二絶縁層及び第一フォトレジスト層を順次形成し、(b)第一フォトレジスト層を第一配線層と第二配線層の導通をとるスルーホールと、隣り合う第一配線層間を接続するコネクホールとを同時に形成出来るようにパターンニングした後、第二絶縁層をエッチングして第一配線層に至るスルーホールとコネクホールを形成し、第一フォトレジスト層を除去した後、(c)スルーホールとコネクホールを含む第二絶縁膜上に、第二配線層及び第二フォトレジスト層を順次堆積し、(d)第二フォトレジスト層のパターンを第二配線層を残す領域のスルーホール上方と第一配線層間を接続するために選択されたコネクホール上方に形成し、(e)しかる後に、第二配線層をエッチングして、第一配線層間を接続するために選択されたコネクホール上方を含む第二配線層のパターンを形成することを特徴とする半導体装置の製造方法が提供される。

【0010】すなわち、この発明は、第一絶縁膜上に形成された第一配線層と、第一配線層の直上にちょうど

(図7)の様に、隣り合う第一配線層(あ)(い)間を接続するためのコネクホール5を設けた第二絶縁膜4

を形成し、その上に、第二配線層8(WMR)を形成する半導体装置の製造方法において、第二配線層8(WMR)のパターンエッチング時、コネクホール上にレジストパターン7を形成する(図7(b))／しない(図7(c))事で、その下の第一配線層3(MR)の(あ)と(い)を接続(図7(b))／接続しない(図7(c))ようにしたので、第二配線層8(WMR)形成時に、第一配線層3も同時に接続／接続しないの選択を行うことができる。ただし、1はSi基板、2は第1絶縁膜である。また例えば、図8に示すように、(1)第一配線層3の(い)と(う)を接続する必要があるときは、第二フォトレジスト層をコネクホール5b上に形成しておけば良く、(2)第一配線層3の(あ)と(い)を接続しないでおくときは、第二フォトレジスト層をコネクホール5a上に形成しないでおけばよい。ただし5cはスルーホール、8は第二配線層である。

【0011】この発明における、第一絶縁膜としては、特に限定しない。第二絶縁膜としては、400℃以下の低温で形成出来る平坦化層間絶縁膜—例えば、CVD法によるTEOS-SiO膜とSOG(スピオングラス)を組み合わせて加工形成した複合膜(公知の平坦化絶縁膜形成)を使うのが好ましい。これらは公知の積層技術、例えばCVD法やスパッタ法あるいは回転塗布法などで形成される。

【0012】この発明における第一、第二の配線層としては、銅や金の金属層あるいはSiをAlに1%程度含んでなるAl-Si(1%)層、さらにはTiW層などが挙げられる。当然のことではあるが、本MR-MRコネクホールの形成する／しないを選択するだけで、第一配線MRの接続／接続しないを決定出来る。これにより、このTHマスク(MR-MRコネクホールを含む)マスクだけの変更でも、回路変更が出来る。

【0013】この発明において、第一、第二のフォトレジスト層として、例えば、公知の有機膜、例えば、商品名AZ1470(ポジレジスト)や商品名TSMR8800(ポジレジスト)の材料の膜が挙げられる。そしてビアホール形成用のマスクや第二配線形成用のマスクを形成するために、公知のフォトリソグラフィ技術が用いられる。さらに、上記第一および第二フォトレジスト層によって第二絶縁層および第二配線層をそれぞれエッチングしてビアホールを形成する際に用いられるフォトリソグラフィ技術やRIEエッチング技術も公知の技術である。

【0014】この発明において、図1(e)に示すようにMR-MRコネクホールを覆うように第2配線形成用の第2フォトレジスト層が形成された第二配線層の形成領域Rでは、第一、第二配線層は接続されるが、ビアホールを第2配線層のパターン形成用のマスクが覆っていない第二配線層の形成領域に含まれない非配線領域Sでは第一配線層が接続されないままになり、それによ

て非配線領域SのMR-MRコネクホール直下には、第一配線層がその接続面を露出した状態で形成できる。ただし1はSi基板、2は第1絶縁膜、3は第1配線層、4は第2絶縁膜、5はコネクホール、8は第2配線層である。

【0015】

【作用】隣り合う第一配線層の1対の端部が、コネクホールの底部に配置され、コネクホール内に埋設された第二配線層がエッチングされないときは互いに接続され、エッチングされたときは、代わりに絶縁体が埋設されて互いに非接続となる。

【0016】

【実施例】図1(e)および図2～6において、半導体装置は、Si基板1上にSiO₂の第1絶縁膜2が形成され、その第1絶縁膜上に、コネクホール5が形成された、SiO₂の第2絶縁膜4を上面に有するAl-Si(1%)の第1配線層3が形成され、さらに、第2配置形成領域Rに位置するコネクホール5には第2配線層8が形成され、コネクホール5を介して第1配線層3に接続されている。尚、Si基板1には、Tr、抵抗、コンデンサ等が、公知の方法で既に形成されているもので、図1～6では、それらの部分は省略してある。

【0017】以下、製造方法について説明する。まず、図1(a)に示すように、Si基板1上に絶縁膜(第1絶縁膜)2として、BPSGをCVD法で堆積し、基板1上に形成したTr等を接続するためのコンタクトホール(図示せず)を開孔した後、全面にAl-Si(1%)をスパッタ法により堆積し、Al-Siをフォトリソグラフィ及びRIEエッチングにより1層目配線層(第1配線層)3を形成する。

【0018】続いて、1層目配線層上にプラズマCVD法によりSiO₂膜を8000Å堆積し絶縁膜(第2絶縁膜)4とする。そして、絶縁膜上に、スルーホール及びMR-MRコネクホール用のレジストパターンとしてのフォトリソ膜17を形成し、このマスクを用いて、絶縁膜4を、フォトリソグラフィ及びRIEエッチングにより除去してコネクホール5を開孔する[図1(b)参照]。次に、Al-Si/TiW積層膜を、スパッタ法により堆積して2層目配線層(第2配線層)6を形成する[図1(c)参照]。

【0019】さらに、1層目配線層3を接続しないでおきたい箇所(1層目配線層の領域SにおけるMR-MRコネクホール直下部分)には、MR-MRコネクホール上にレジストパターンを形成しない。また、反対に1層目配線層3を接続させたい箇所(第2配線形成領域)Rには、MR-MRコネクホール5上に第2配線形成用マスクである第2の配線パターンとしてのレジストパターン7を形成する[図1(d)参照]。しかる後、RIEエッチングにより2層目配線8を形成する *

* [図1(e)参照]。その時、通常、ジャストエッチから更に約10～50%のオーバーエッチをするだけで良い。

【0020】

【発明の効果】以上のようにこの発明によれば、絶縁膜上に形成された第1配線層と、該第1配線層の直上に開口部を設けた第2絶縁膜とを形成し、その上に、第2配線を形成するに際して、該開口部を覆うように第2配線を形成した箇所は、第1配線層が接続されるが、該開口部を、第2配線層パターンが覆っていない箇所は、第1配線層が切断されるようにし、それによって2層目配線形成時に、1層目配線も同時に、切断/接続の選択をできるようにし、1枚のマスク変更だけで、回路変更をおこなうことができ、従来3枚のマスク変更を必要としていたものが、1枚のマスク変更だけで可能になるため、低コストで短納期の2層配線構造の半導体装置が実現できる。特にゲートアレーのようなASICデバイスによつては、非常に有効なものである。

【図面の簡単な説明】

【図1】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図2】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図3】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図4】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図5】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図6】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図7】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図8】この発明の実施例で作製した半導体装置の製造工程説明図である。

【図9】従来の半導体装置の製造方法の説明図である。

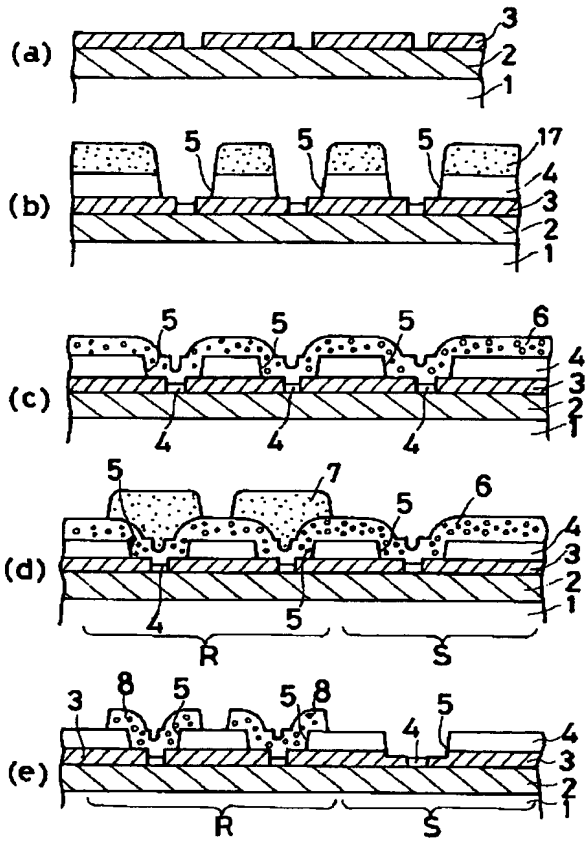
【図10】従来の半導体装置の製造方法の説明図である。

【図11】従来の半導体装置の製造方法の説明図である。

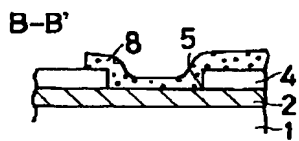
【符号の説明】

- 1 Si基板
- 2 第1絶縁膜
- 3 第1配線層
- 4 第2絶縁膜
- 5 コネクホール
- 6 Al-Si/TiW積層膜(第2配線層)
- 7 レジストパターン
- 8 第2配線層

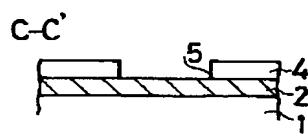
【図1】



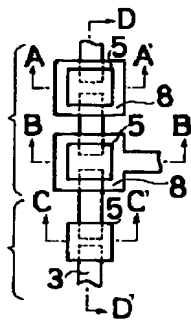
【図4】



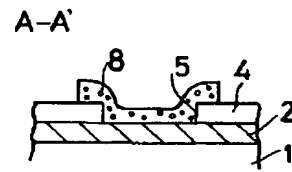
【図5】



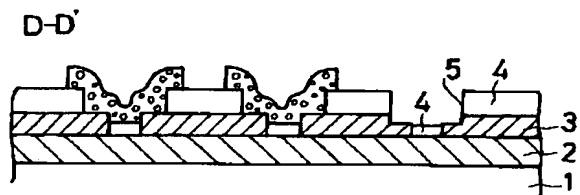
【図2】



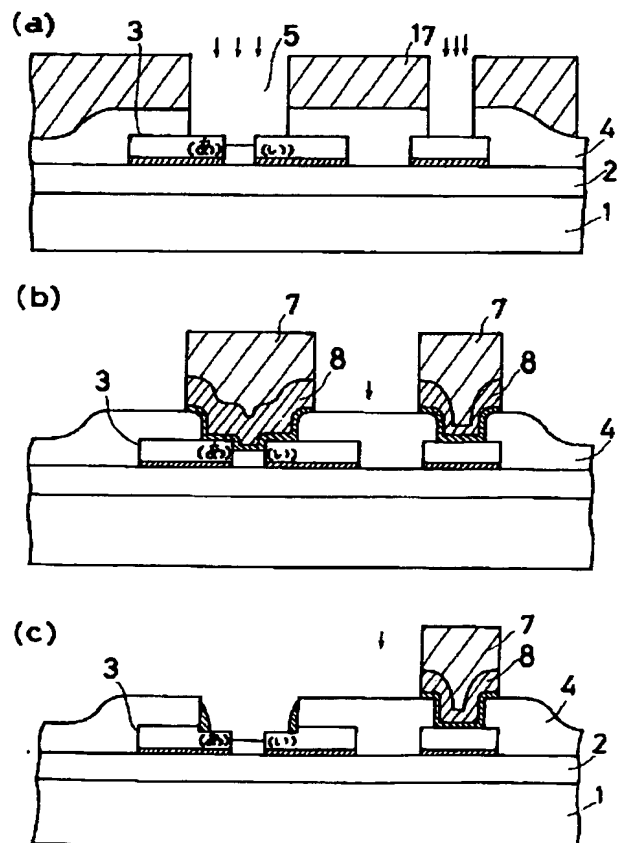
【図3】



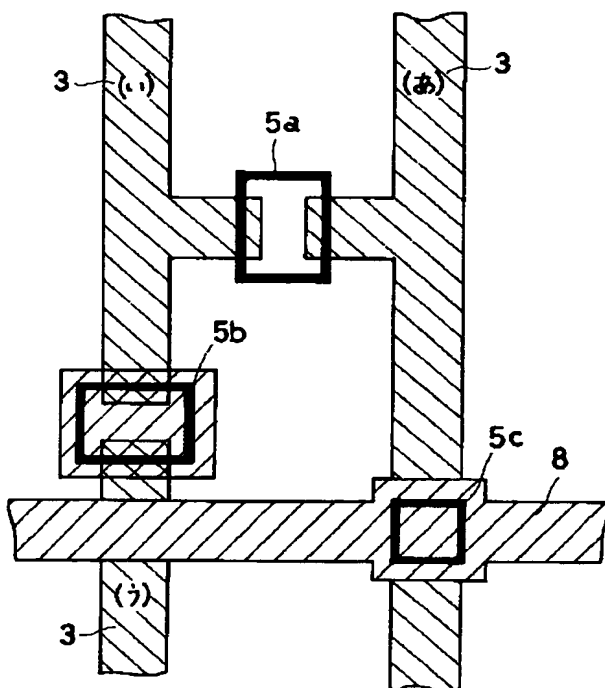
【図6】



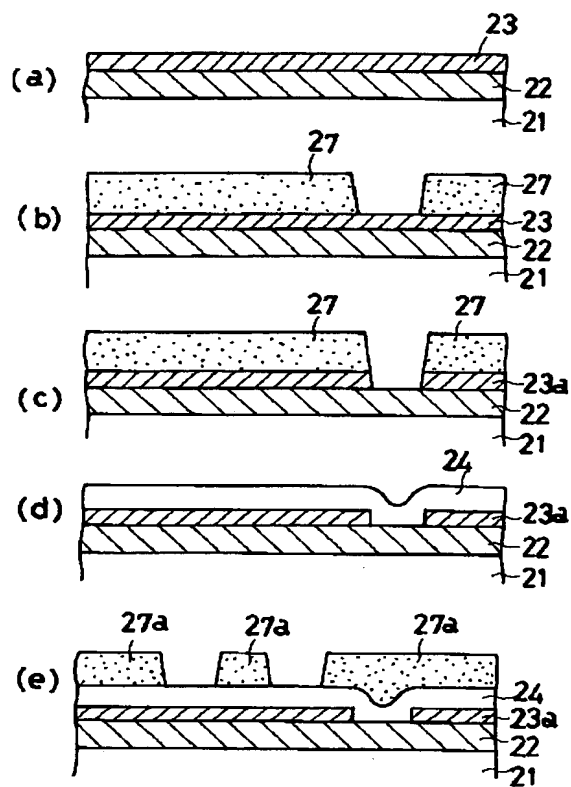
【図7】



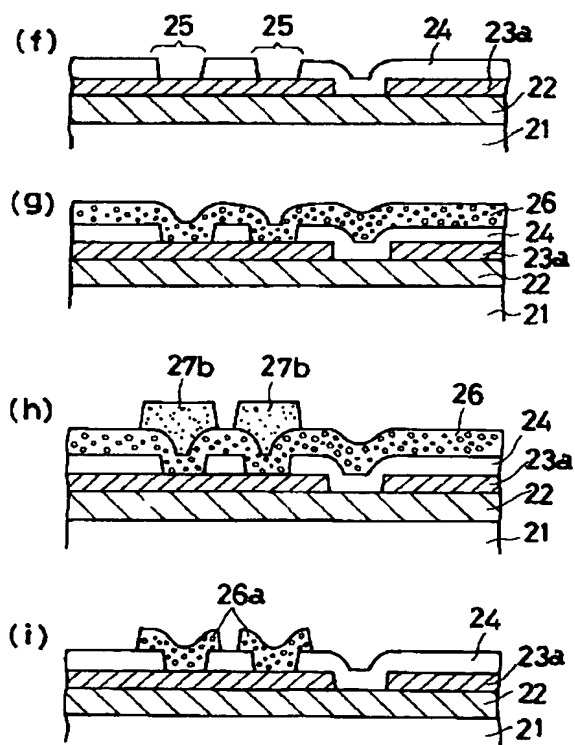
【図8】



【図9】



【図10】



【図11】

